



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000216378 A**(43) Date of publication of application: **04.08.00**

(51) Int. Cl.

H01L 29/78**H01L 21/8247****H01L 29/788****H01L 29/792**(21) Application number: **11012697**(22) Date of filing: **21.01.99**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **NIWA MASAOKI**

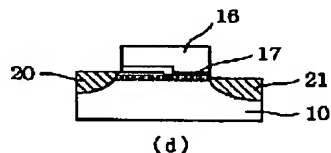
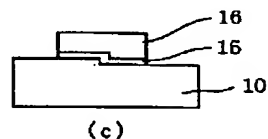
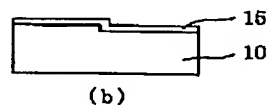
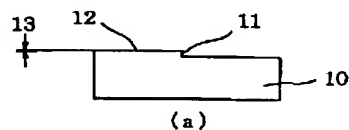
(54) MOS-TYPE HETERO-STRUCTURE,
SEMICONDUCTOR DEVICE PROVIDED WITH
THE STRUCTURE, AND ITS MANUFACTURING
METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To improve reliability, response time, and read/write characteristics of a transistor.

SOLUTION: With the use of a mis-orientated wafer 10 with a plurality of steps 11 and terraces 12 formed by rearranged surface silicon atoms, a MOS field-effect transistor is structured with a very thin crystalline silicon dioxide film 15 which is grown epitaxially on the terrace 12 of the wafer 10 as a gate insulating film.

COPYRIGHT: (C)2000,JPO



* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A single crystal silicon substrate and the insulator layer formed in the front face of said single crystal silicon substrate, It is the MOS mold hetero structure equipped with the conductive member formed on said insulator layer. Said front face of said single crystal silicon substrate It is the MOS mold hetero structure containing the crystalline substance diacid-ized silicon which grew epitaxially on said field [in / it has the flat field on the atomic level formed of the rearrangement of a surface silicon atom, and / in said insulator layer / said front face of said single crystal silicon substrate].

[Claim 2] Said diacid-ized silicon is MOS mold hetero structure according to claim 1 which forms the crystal film which continued two-dimensional along said front face of said single crystal silicon substrate.

[Claim 3] Said crystalline substance diacid-ized silicon is MOS mold hetero structure according to claim 1 or 2 characterized by growing epitaxially directly on the terrace formed in said front face of said single crystal silicon substrate.

[Claim 4] Said crystal film is MOS mold hetero structure according to claim 2 which has covered more than one half of the field covered by said insulator layer among said front faces of said single crystal silicon substrate.

[Claim 5] The thickness of said insulator layer is the MOS mold hetero structure of any of claims 2-4 which are 2nm or less, or one publication.

[Claim 6] Said insulator layer is the MOS mold hetero structure of any of claims 2-4 which contain further the dielectric film formed on said crystal film, or one publication.

[Claim 7] The dielectric constant of said dielectric film is MOS mold hetero structure [higher than the dielectric constant of diacid-ized silicon] according to claim 6.

[Claim 8] The mistake orientation angle in said front face of said single crystal silicon substrate is the MOS mold hetero structure of any of claims 1-7 in the range of 0-20 degrees, or one publication.

[Claim 9] The semiconductor device equipped with the MOS mold hetero structure of any of claims 1-8, or one publication.

[Claim 10] The semiconductor device equipped with the non-volatile memory cell which has the MOS mold hetero structure of any of claims 1-8, or one publication.

[Claim 11] It is the semiconductor device equipped with the nonvolatile memory formed in the semi-conductor single crystal silicon substrate. Said nonvolatile memory The gate dielectric film formed in the front face of said single crystal silicon substrate, and the floating gate formed on said gate dielectric film, It has the control gate by which capacity coupling was carried out to said floating gate. Said front face of said single crystal silicon substrate It has the flat field on the atomic level formed of the rearrangement of a surface silicon atom. Said gate dielectric film The crystalline substance diacid-ized silicon which grew epitaxially on said field in said front face of said single crystal silicon substrate is included. Said crystalline substance diacid-ized silicon The semiconductor device which has covered 90% or more of the field covered with said gate dielectric film among said front faces of said single crystal silicon substrate.

[Claim 12] A single crystal silicon substrate and the insulator layer formed in the front face of said single crystal silicon substrate, It is the manufacture approach of a semiconductor device of having the MOS mold hetero structure equipped with the conductive member formed on said insulator layer. The process which is made to carry out the rearrangement of the silicon atom of said front face of said single crystal silicon substrate, and forms a flat front face on atomic level by it, The manufacture approach of the semiconductor device which includes the process which carries out epitaxial growth of the crystalline substance diacid-ized silicon directly on said front face of said substrate by oxidizing said front face of said single crystal silicon substrate on the conditions with which said front face of said single crystal silicon substrate is not polluted.

[Claim 13] The manufacture approach of the semiconductor device according to claim 12 characterized by the thickness of said insulator layer stopping said oxidation in a phase 2nm or less.

[Claim 14] The manufacture approach of the semiconductor device according to claim 12 or 13 which includes the process which deposits the dielectric film which has a dielectric constant higher than the dielectric constant of the diacid-ized silicon film on said crystalline substance diacid-ized silicon film.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device equipped with MOS mold hetero structure and this structure, and its manufacture approach.

[0002]

[Description of the Prior Art] From the former, the MOS electric field effect mold transistor equipped with metal-insulating material-semiconductor structure (MOS mold hetero structure) as a transistor of an electric field effect mold is used. Hereafter, the manufacture approach of the conventional MOS electric field effect mold transistor and its actuation are explained, referring to (d) from drawing 4 (a).

[0003] First, after preparing the usual single-crystal-silicon semiconductor substrate 50 shown in drawing 4 (a), as shown in drawing 4 R> 4 (b) using the oxidizing [thermally] method, silicon oxide 51 is formed in the front face of a silicon substrate 50. Silicon oxide 51 is formed mainly from SiO₂ of an amorphous substance (amorphous).

[0004] Next, after depositing conductive thin films, such as polycrystalline silicon film, on silicon oxide 51, the gate structure which contains gate dielectric film 52 and the gate electrode 53 as shown in drawing 4 (c) is formed by carrying out patterning of a conductive thin film and the silicon oxide 51 using lithography and an etching technique.

[0005] As shown in drawing 4 (d), after forming the side-attachment-wall oxide film 57 on a gate structure side face, the source field 55 and the drain field 56 are formed into a silicon substrate 51 by the impurity doping method. Under the gate electrode 53, a channel 54 is formed between the source field 55 and the drain field 56.

[0006]

[Problem(s) to be Solved by the Invention] Thermal oxidation of the front face of a silicon substrate 50 generates distortion in connection with the cubical expansion of the silicon oxide 51 which grows up to be the front face of a silicon substrate 50 in the interface between a silicon substrate 50 and silicon oxide 51 (silicon-thermal oxidation object interface). This distortion induces a structure defect in a silicon substrate 50, and causes [of interface state density] formation. Interface state density acts as a trap site of a carrier, and causes dielectric breakdown of gate oxide 52, carrier mobility degradation in a channel, etc. This brings various bad influences to MOS electric field effect mold transistor characteristics, and serves as big trouble at the high-speed operation of a transistor.

[0007] Moreover, structure transition layer (thickness: 0.2-0.3nm) 51a which becomes a silicon-thermal oxidation object interface from the thin suboxidation layer by imperfect oxidation as shown in drawing 5 (a) is formed. Structure transition layer 51a is formed from SiO_x (x<= about 1.7). On structure transition layer 51a, the usual amorphous SiO₂ two-layer (thickness: several nm) 51b is growing. Although structure transition layer 51a is bearing the stress relaxation operation between Si and SiO₂, since association in structure transition layer 51a is easy to be cut by the electron which runs the inside of a channel and electron injection breaks easily, structure transition layer 51a is electrically unstable. Since the rate that structure transition layer 51a occupies among the diacid-ized silicon film 51 becomes large as the diacid-ized silicon film 51 which functions as gate oxide 52 becomes thin, fluctuation and the defect of the transistor characteristics resulting from interface structure will become serious.

[0008] Drawing 5 (b) shows the energy level of the conduction band measured along the depth direction toward the interior of a silicon substrate 50 from the front face of silicon oxide 51, and a valence band. It has turned at the energy level 61 of the conduction band in silicon oxide 51, and the energy level 62 of the valence electron in the field larger than it containing structure transition layer 51a so that drawing 5 (b) may show (bending phenomenon). The band gap of silicon oxide 51 is decreasing greatly by the silicon-thermal oxidation object interface with the deflection of this energy level. Such energy gap reduction of silicon oxide 51 reduces pressure-proofing and dependability of silicon oxide 51.

[0009] Although the thickness of structure transition layer 51a is about 0.2-0.3nm as mentioned above, the thickness of the part into which the band gap of silicon oxide 51 is decreasing amounts to about 1nm. Moreover, even if the thickness of silicon oxide 51 decreases, in order that the thickness of structure transition layer 51a may not decrease, reduction of the thickness of silicon oxide 51 enlarges the rate that structure transition layer 51a occupies in the diacid-ized silicon film 51, and also makes the rate of a band gap reduction part increase. If the rate that structure transition layer 51a occupies in the diacid-ized silicon film 51 becomes large, pressure-proofing of silicon oxide 51 not only deteriorates, but the problem by the ununiformity of thickness or increase of interface roughness will become remarkable. For example, since the electron in a channel 54 runs sensing the irregularity of an interface when the irregularity (roughness) of a silicon-thermal oxidation object interface is large, or when the thickness of the silicon oxide film 51 (namely, gate oxide 52) is uneven, an electronic dispersion probability becomes large. Since the dimension of a field effect transistor follows on being made detailed and effectual perpendicular field strength increases, this scattering phenomenon becomes much more remarkable. This means causing the fall of electron mobility, i.e., the fall of a mutual conductance. These become a factor and improvement in detailed MOS electric field effect mold transistor characteristics equipped with ultra-thin gate dielectric film will be barred.

[0010] This invention is made in view of the above-mentioned trouble, and the place made into the purpose is to offer the semiconductor device which has the MOS mold hetero structure stabilized also structurally and electrically and such MOS mold hetero structure, and its manufacture approach.

[0011]

[Means for Solving the Problem] The insulator layer by which the MOS mold hetero structure by this invention was formed in the front face of a single crystal silicon substrate and said single crystal silicon substrate, It is the MOS mold hetero structure equipped with the conductive member formed on said insulator layer. Said front face of said single crystal silicon substrate It has the flat field on the atomic level formed of the rearrangement of a surface silicon atom, and said insulator layer contains the crystalline substance diacid-ized silicon which grew epitaxially on said field in said front face of said single crystal silicon substrate.

[0012] As for said diacid-ized silicon, it is desirable to form the crystal film which continued two-dimensional along said front face of said single crystal silicon substrate.

[0013] As for said crystalline substance diacid-ized silicon, it is desirable to grow epitaxially directly on the terrace formed in said front face of said single crystal silicon substrate.

[0014] As for said crystal film, it is desirable to have covered more than one half of the field covered by said insulator layer among said front faces of said single crystal silicon substrate.

[0015] In a desirable operation gestalt, the thickness of said insulator layer is 2nm or less.

[0016] In the desirable operation gestalt, said insulator layer contains further the dielectric film formed on said crystal film. As for the dielectric constant of this dielectric film, it is desirable that it is higher than the dielectric constant of diacid-ized silicon.

[0017] As for the mistake orientation angle in said front face of said single crystal silicon substrate, it is desirable that it is in the range of 0-20 degrees.

[0018] The semiconductor device of this invention is equipped with any of the above-mentioned MOS mold hetero structure they are.

[0019] Other semiconductor devices of this invention are equipped with the non-volatile memory cell which has any of the above-mentioned MOS mold hetero structure they are.

[0020] The semiconductor device of further others of this invention is a semiconductor device equipped with the nonvolatile memory formed in the semi-conductor single crystal silicon substrate. Said nonvolatile memory The gate dielectric film formed in the front face of said single crystal silicon substrate, and the floating gate formed on said gate dielectric film, It has the control gate by which capacity coupling was carried out to said floating gate. Said front face of said single crystal silicon substrate It has the flat field on the atomic level formed of the rearrangement of a surface silicon atom. Said gate dielectric film The crystalline substance diacid-ized silicon which grew epitaxially on said field in said front face of said single crystal silicon substrate is included, and said crystalline substance diacid-ized silicon has covered 90% or more of the field covered with said gate dielectric film among said front faces of said single crystal silicon substrate.

[0021] The insulator layer by which the manufacture approach of the semiconductor device of this invention was formed in the front face of a single crystal silicon substrate and said single crystal silicon substrate, It is the manufacture approach of a semiconductor device of having the MOS mold hetero structure equipped with the conductive member formed on said insulator layer. The process which is made to carry out the rearrangement of the silicon atom of said front face of said single crystal silicon substrate, and forms a flat front face on atomic level by it, The process which carries out epitaxial growth of the crystalline substance diacid-ized silicon directly on said front face of said substrate is included by oxidizing said front face of said single crystal silicon substrate on the conditions with which said front face of said single crystal silicon substrate is not polluted.

[0022] The thickness of said insulator layer may stop said oxidation in a phase 2nm or less.

[0023] The process which deposits the dielectric film which has a dielectric constant higher than the dielectric constant of the diacid-ized silicon film on said crystalline substance diacid-ized silicon film may be included.

[0024]

[Embodiment of the Invention] (Operation gestalt 1) The operation gestalt of this invention is hereafter explained about the semiconductor device which has MOS mold hetero structure. The semiconductor device concerning this operation gestalt has the MOS electric field effect mold transistor formed using the single crystal silicon substrate. Like a well-known semiconductor integrated circuit, although this semiconductor device includes circuit elements, wiring structures, component isolation construction, etc. other than a transistor in fact, it shows only a part for the MOS mold hetero structured division of a transistor with a drawing for simplification.

[0025] (d) is referred to from drawing 1 (a). First, as shown in drawing 1 (a), a clean surface (001) is formed on the field (001) of the single crystal silicon substrate 10 with the vacuum heating defecating method or the homoepitaxial grown method of silicon. More, with this operation gestalt, if surface treatment by the heating defecating method in an above-mentioned vacuum or the homoepitaxial grown method of silicon is performed to this substrate 10 using the single crystal silicon substrate 10 whose mistake orientation angle 13 is 0-0.02 degrees, in a detail, the rearrangement phenomenon of a silicon atom will advance on the maximum front face of the defecated silicon substrate 10, and step 11 and a terrace 12 will be formed in the front face of a silicon substrate 10 at it.

[0026] In addition, in order to obtain the front face of such a gestalt, wet approaches, such as warm water washing, buffered-fluoric-acid processing in which hydrogen peroxide solution was made to mix, amelioration SC-1 washing to which the concentration of hydrogen peroxide solution was made to increase, and dilution hydrofluoric acid treatment, may be performed as other surface defecation approaches.

[0027] It writes (Si(001)-2x1). [the gestalt of the front face of a silicon substrate 10 in which such step 11 and a terrace 12 were formed] The consistency of step 10 in an unit area becomes small, so that the mistake orientation angle 13 of a silicon substrate 10 becomes small. For example, when a mistake orientation angle is 0.02 degrees or less like [in the case of this operation gestalt], spacing (equivalent to terrace width of face) of step 12 serves as magnitude which is less than about 3nm by vacuum heating defecation for about 10 - 20 seconds at about 1000 degrees C. In addition, step 11 is prolonged along the [11-0] direction.

[0028] On these terraces 12, the atomic arrangement (a "dimer train" is called hereafter.) which consisted of dimers (a "dimer" is called hereafter.) of the maximum surface silicon atom is formed. Like this operation gestalt, when the mistake orientation angle 13 of a substrate is small, on each terrace, the gestalt to which a dimer train exists in a right angle by turns for every 1 atom step is acquired.

[0029] Next, the silicon substrate 10 which has Si(001)-2x1 surface-type voice is heated at 850 degrees C with a rapid heating oxidation style in a desiccation oxygen ambient atmosphere. Heating time is about 40 - 50 seconds. Consequently, an oxide film with a thickness of 1.5nm grows up to be the front face of a silicon substrate 10. According to such thermal oxidation, as shown in drawing 1 (b), the crystalline substance oxide film (crystalline substance diacid-ized silicon film) 15 grows epitaxially on a terrace 12. The epitaxially grown crystalline substance oxide film 15 has the crystal structure reflecting the surface crystal structure of a terrace 12.

[0030] Like this operation gestalt, when the mistake orientation angle 13 is small, since step spacing is large, the crystalline substance oxide film 15 of the shape of film which spread two-dimensional is formed on a terrace 12. Moreover, at step 12, the crystalline substance oxide film 15 which grew epitaxially on the terrace 12 of the both sides grows up to be a longitudinal direction, and connects substantially. In addition, each step 11 and terrace 12 of a silicon substrate 10 show the gestalt reflecting step 11 before crystalline substance oxide-film 15 formation, or the structure of a terrace 12, after the crystalline substance oxide film 15 is formed.

[0031] Although it depends for the thickness of the crystalline substance oxide film 15 on the substrate temperature and the oxygen tension at the time of epitaxial growth, if the thickness is set to about 2nm, the growth rate of the crystalline substance oxide film 15 will fall rapidly. For this reason, the oxidation approach used with this operation gestalt is suitable for forming thin gate dielectric film with a thickness of about 2nm with sufficient repeatability.

[0032] According to the usual thermal oxidation, in the oxide-film side of a silicon-oxide-film interface, compressive stress occurs for the cubical expansion (a 2.2 times as many cubical expansion as this occurs by Si->SiO2) of the silicon oxide film, and a tensile stress occurs in a silicon substrate side. On the other hand, since the epitaxial growth of oxide advances based on the atomic structure of a silicon substrate 10 when forming the crystalline substance oxide film 15, the stress of each part in oxide balances and it is thought that big stress is not produced

[near the interface of a silicon substrate 10 and the crystalline substance oxide film 15]. From the result of cross-section observation of a transmission electron microscope or electron diffraction, it is thought that the crystalline substance oxide film 15 has TORIDI dynamite structure.

[0033] Although a crystalline substance oxide may grow partially when a front face performs the usual thermal oxidation to the silicon substrate by which flattening is not carried out on atomic level, the amorphous oxide film of one sheet which an amorphous oxide film grows in the field in Oita, consequently contains two or more crystalline substance oxides in the lower part is formed. For this reason, crystal-amorphous structure will be substantially formed in silicon / oxide-film interface, and the effect of the stress by the thermal expansion of an oxide will attain to a substrate. If big stress arises [silicon / near the oxide-film interface], in order to ease the stress, a stacking fault and twin crystal will be generated.

[0034] On the other hand, in the case of this operation gestalt, since the cubical expansion of the wrap crystalline substance oxide film 15 is very small and the crystal-lattice continuity in silicon / oxide-film interface is held in the front face of a silicon substrate 10, generating of stress is reduced remarkably. Consequently, generating of a stacking fault and twin crystal is controlled. Moreover, if oxidation treatment is continued in addition even after growing up to be the thickness whose crystalline substance oxide film 15 is about 2nm, an amorphous oxide film will grow and go on the crystalline substance oxide film 15. Although a transition region exists between this amorphous oxide film and the crystalline substance oxide film 15, even by covering the front face of a silicon substrate with the crystalline substance oxide film 15, there is.

[0035] If such a crystalline substance oxide film 15 is used as gate dielectric film, there will also be no un-arranging [that association of a silicon oxide interface is easy to be cut with a hot electron], and generating of the interface state density accompanying thermal expansion will also be lost. Therefore, the annealing treatment performed to an oxide film after oxide-film formation also becomes unnecessary. Moreover, since silicon / oxide-film interface has the conventional not crystal-amorphous structure but crystal-crystal structure, it becomes, without the carrier in an inversion layer receiving random potential scattering in a discontinuity interface like before.

[0036] Drawing 6 (a) shows the cross section of the silicon-thermal oxidation object interface by this invention. Between the crystalline substance oxide film 15 and a silicon substrate 10, the structure transition layer which consists of a suboxidation layer does not exist so that drawing 6 (a) may show. Moreover, the energy level 71 of the conduction band of the crystalline substance oxide film 15 and the energy level 72 of the valence electron are flats, and do not have reduction of the band gap by the deflection of an energy level, either, so that drawing 6 (b) may show. Moreover, according to this invention, the problem by the nonuniformity of thickness or increase of interface roughness is also solved.

[0037] In addition, even if a phase change may generally arise from an amorphous substance in a crystalline substance with heat, a phase change does not arise from a crystalline substance amorphously. It can be said that it is thermally stable since the silicon / oxide-film interface of this operation gestalt have the crystal-crystal structure.

[0038] Next, after depositing the polish recon film with a CVD method, the gate electrode 16 shown in drawing 1 (c) is formed by carrying out patterning of this polish recon film using a lithography technique. Next, the source 20 and a drain 21 are formed in a silicon substrate 10 using an impurity doping technique. Then, the making process of the usual MOS transistor and the same process are performed, and a semiconductor device is completed.

[0039] In this way, if a predetermined electrical potential difference is impressed between a silicon substrate 10 and the gate electrode 16 about the obtained MOS transistor, electric field perpendicular to the front face of a silicon substrate 10 will be formed, and the channel 17 shown in drawing 1 (d) will be formed in the silicon side near the interface of the crystalline substance oxide film 15 and a silicon substrate 10. [0040] With this operation gestalt, the mistake orientation angle 13 is small, since the step consistency is small, even if an electron runs in which direction to a step, interface dispersion of the carrier in a channel 17 (electron) becomes very small, and mobility is improved. Therefore, step 18 does not need to prescribe that the location of the source field 20 and the drain field 21 extends straightly to the drain field 21 from the source field 20.

[0041] In addition, if reflection high energy electron diffraction (RHEED) is used, the crystalline substance oxide film 15 is observable. The pattern of a crystal surface structure which irradiates an electron ray and changes [more,] from the diffraction figure of the reflection electron which carried out total reflection to a detail with oxide-film formation at the front face of said silicon 10 at a minute include angle into oxygen exposure is obtained. The structural change produced on a substrate front face can be grasped on real time by carrying out in situ observation of the substrate front face under oxidation treatment by RHEED.

[0042] As explained above, with this operation gestalt, ultra-thin gate dielectric film is formed from the crystalline substance oxide film 15 with a thickness of about 2nm, and the MOS electric field effect mold transistor which has band structure by it as shown in drawing 6 (b) is produced. According to this operation gestalt, the problem of the conventional technique is solved and reliable transistor characteristics are realized. Although this operation gestalt is applied to the transistor which has ultra-thin gate dielectric film with a thickness of 2nm or less and can demonstrate remarkable effectiveness, it may be applied to the transistor which has gate dielectric film exceeding 2nm in thickness. In that case, the above-mentioned crystalline substance oxide film 15 will exist in the lower part of gate dielectric film, and an amorphous diacid-ized silicon layer will exist on the crystalline substance oxide film 15. Even if it has such structure, by silicon / oxide film interface, a suboxidation layer does not exist, but since band structure shown in drawing 6 (b) is realized, outstanding transistor characteristics are acquired.

[0043] In addition, 100% of field of the channel field of a silicon substrate does not need to be directly covered with the crystalline substance oxide film 15. Even when two or more crystalline substance oxide films 15 which grew epitaxially on each terrace do not constitute the insulator layer of one sheet which continued completely, the effectiveness of this invention is fully acquired. If more than one half is directly covered with the crystalline substance oxide film 15 at least, even if the amorphous oxide film will grow on other fields, the problem by the suboxidation layer of a channel field will be mitigated, and it will become possible to acquire the dependability fully improved as compared with the conventional MOS mold hetero structure.

[0044] Moreover, oxidation styles other than the oxidizing [thermally] method explained with this operation gestalt may be used. An important point is in the point which carries out flattening of the front face of a silicon substrate on atomic level. As a result of the front face of the silicon substrate by which flattening was carried out on atomic level contacting atmospheric air, even if the thin natural oxidation film is formed in the front face, it can do, although a silicon substrate surface is made to carry out epitaxial growth of the crystalline substance oxide film by subsequent oxidation treatment. This is applied to behind about other operation gestalten.

[0045] (Operation gestalt 2) The 2nd operation gestalt of this invention is explained, referring to (e) from drawing 2 (a).

[0046] First, a clean surface (001) is formed on the field (001) of the single crystal silicon substrate 30 with the vacuum heating defecating method or the homoepitaxial grown method of silicon. Also with this operation gestalt, the substrate whose mistake orientation angle 33 is 0-20 degrees is used. Although the substrate with a bigger mistake orientation angle than the substrate used with the 1st operation gestalt is used with this operation gestalt, the mistake orientation angle 33 may be a small include angle high to 0 degree or it.

[0047] If surface treatment by the heating defecating method in an above-mentioned vacuum or the homoepitaxial grown method of silicon is performed to such a silicon substrate 30, as the 1st operation gestalt was explained, the rearrangement phenomenon of a silicon atom will

advance on the maximum front face of a silicon substrate 30, and step 31 and a terrace 32 will be formed in the front face of a silicon substrate 30. The terrace 32 is flat on atomic level.

[0048] Next, $2xSi(001)-1$ front face is oxidized using the approach which explained about the 1st operation gestalt. With this operation gestalt, the silicon substrate 30 which has the $Si(001)-2x1$ surface-type voice acquired by heating defecation processing in a vacuum is exposed to 800-degree C desiccation oxygen gas with an electric furnace. Under the present circumstances, oxygen gas is high-grade-ized with a purification machine, and after it fully removes moisture by letting 100% of high grade desiccation oxygen gas pass into liquid nitrogen further, it is supplied to a silicon substrate. In this way, as shown in drawing 2 (b), the crystalline substance oxide film 34 (thickness: 1-2nm) grows on each terrace 32, connects mutually, and the two-dimensional film is obtained.

[0049] Next, with this operation gestalt, as shown in drawing 2 (c), the tantalic acid-ized film 35 is deposited on the crystalline substance oxide film 34. Since it is about 6 times higher compared with the dielectric constant of silicon oxide (SiO_2), even if the dielectric constant of the tantalic acid-ized film uses the comparatively thick tantalic acid-ized film 35, the value which converted the thickness into oxide-film thickness becomes about [of the thickness of the actual tantalic acid-ized film] $1/6$. For this reason, addition of the tantalic acid-ized film 35 contributes to reduction of leakage current, controlling the substantial increment in oxide-film thickness. With this operation gestalt, if such tantalic acid-ized film 35 is not formed in order to adopt very thin gate oxide, there is a possibility that a gate leakage current may increase.

[0050] Deposition of the tantalic acid-ized film 35 is performed as follows. That is, the silicon substrate 30 in which the crystalline substance oxide film 34 was formed is heated at 410 degrees C, and it maintains at a steady state. And the tantalic acid-ized film 35 is grown up until it becomes 15nm thickness with the CVD method using the mixed gas of $Ta(OC_2H_5)_5$ and O_2 . Then, annealing for about 1 minute is performed at 800 degrees C into inert gas.

[0051] Next, after depositing the polish recon film using the LPCVD method, patterning of this polish recon film is carried out, and the gate electrode 36 shown in drawing 2 (d) is formed. Then, the making process of the usual MOS transistor and the same process are performed, and a semiconductor device is completed.

[0052] If predetermined electric field are perpendicularly formed to a silicon substrate surface, an inversion layer will turn on the silicon side of silicon / oxide film interface, and a channel 37 will be formed as shown in drawing 2 (d).

[0053] Drawing 2 (e) shows the flat-surface configuration of the MOS transistor by this invention. Each step 39 shows the gestalt reflecting step 31 before crystalline substance oxide-film 34 formation, after the crystalline substance oxide film 34 is formed.

[0054] With this operation gestalt, as shown in drawing 2 (e), the location of the source field 40 and the drain field 41 is prescribed to extend straightly [step 31] from the source field 40 to the drain field 41, and an impurity dope is performed. An electron runs toward a drain 41 along with an arrow head 39 from the source field 40. In this case, since the carrier in a channel (electron) runs in a smooth terrace on atomic level, without crossing step 38, interface dispersion of a carrier becomes very small.

[0055] (Operation gestalt 3) The operation gestalt of this invention is hereafter explained about the semiconductor device (flash memory) equipped with the non-volatile memory cell which has the MOS mold hetero structure of this invention, referring to (f) from drawing 3 (a).

[0056] First, a clean surface (001) is formed on the field (001) of the single crystal silicon substrate 70 with the vacuum heating defecating method or the homoepitaxial grown method of silicon. With this operation gestalt, the substrate whose mistake orientation angle 73 is 5 degrees is used. If surface treatment by the heating defecating method in an above-mentioned vacuum or the homoepitaxial grown method of silicon is performed to such a silicon substrate 70, as the 1-2nd operation gestalten were explained, the rearrangement phenomenon of a silicon atom will advance on the maximum front face of a silicon substrate 70, and step 71 and a terrace 72 will be formed in the front face of a silicon substrate 70.

[0057] Next, a tunnel oxide film (the 1st gate dielectric film) with a thickness of 7nm is formed by heating a substrate 70 at the temperature of about 750 degrees C within the electric furnace of a desiccation oxygen ambient atmosphere. A crystalline substance oxide grows epitaxially on a terrace 72 by oxidation reflecting the crystal structure, and the crystalline substance oxide film 75 which continued in two-dimensional as soon shown in drawing 3 (b) is formed. Although it depends for the thickness of the crystalline substance oxide film 75 on substrate temperature or introductory oxygen tension, only at most about 1nm grows. With this operation gestalt, even after such a crystalline substance oxide film 75 is formed, oxidation treatment is continued succeedingly. By doing so, as shown in drawing 3 (c), the tunnel oxide film 77 with a thickness of 7nm is formed. This tunnel oxide film 77 contains the amorphous oxidizing zone 76 with a thickness of about 6.3nm on it including the crystalline substance oxide layer 75 with a thickness of about 0.7nm in the part in contact with a silicon substrate. That is, the tunnel oxide film 77 has two-layer structure.

[0058] In this operation gestalt, even if it is maintaining oxidation-treatment conditions uniformly, the phase of the tunnel oxide film 77 changes amorphously from a crystalline substance automatically by stress relaxation. However, according to silicon / oxide-film interface, since the continuity of a crystal lattice is held, by silicon / oxide-film interface, energy band structure as shown in drawing 6 (b) is realized. Big effect does not win popularity by the amorphous oxidizing zone 76 in which this energy band structure was formed on the crystalline substance oxide layer 75. According to the approach of this operation gestalt, the effect by the cubical expansion of an oxide film is reduced by the usual thermal oxidation as compared with the case where an oxide film is formed.

[0059] Thus, since silicon / oxide-film interface has the crystal-crystal structure, there is no un-arranging [that association tends to go out near silicon / the oxide-film community with the hot electron poured into the floating gate] and generating of the interface state density accompanying thermal expansion is also lost though silicon oxide contains the amorphous part, the dependability of a tunnel oxide film can be raised and the life can be lengthened.

[0060] After forming such a tunnel oxide film 77, in order to remove oxide-film defects, such as a pinhole, annealing treatment is performed in desiccation nitrogen. Next, as shown in drawing 3 (d), the floating gate 78 is formed on the tunnel oxide film 77. As shown in drawing 3 (e), after forming an oxide film (the 2nd gate dielectric film) 79 on the floating gate 78 using the usual oxidizing [thermally] method, the control gate 80 by which capacity coupling is carried out with an oxide film 79 is formed. In this way, if predetermined electric field are formed near the acquired MOS hetero interface, an inversion layer will turn on the silicon side of silicon / oxide film interface, and a channel 81 will be formed.

[0061] Drawing 3 (f) shows the flat-surface configuration of this nonvolatile memory. Although not shown in drawing 3 (f), it is arranged so that the floating gate 78 and the control gate 80 may lay in the active region of a transistor. With this operation gestalt, as shown in drawing 3 (f), the location of the source field 84 and the drain field 85 is prescribed that the straight line which connects the source field 84 and the drain field 85 straightly crosses at right angles to step 82, and an impurity dope is performed. For this reason, an electron runs toward a drain 85 along with an arrow head 83 from the source field 84. Therefore, the electron in a channel 81 will cross step 82. This brings about the effectiveness of increasing the effectiveness into which the hot electron generated near step 82 is poured to the floating gate 78. Since the height of a step becomes large, this effectiveness becomes remarkable, so that the mistake orientation angle 73 of a substrate becomes large.

[0062] Thus, since according to this operation gestalt silicon / oxide-film interface has the crystal-crystal structure and does not have the unstable suboxidation layer, it can become possible to obtain reliable nonvolatile memory, and read-out/count of write-in actuation of nonvolatile memory can be raised. In order not to depend for this effectiveness on the magnitude of the mistake orientation angle of a substrate, a mistake orientation angle may be 0 degree. Moreover, even if it forms the amorphous oxidizing zone 76 on the crystalline

substance oxide layer 75, since silicon / oxide-film interface holds the crystal-crystal structure, it is suitable for the direction which formed the amorphous oxidizing zone 76 on the ultra-thin crystalline substance oxide layer 75 using it as gate dielectric film of nonvolatile memory.

[0063] In addition, it is thought that there is effectiveness at the time of applying this invention to nonvolatile memory notably [when the crystalline substance oxide film has covered 90% or more of the field covered with the floating gate while on the front face of a substrate]. This is because read-out/count of write-in actuation will be decided by the life of the part if the field where the front face of a silicon substrate is directly covered with the amorphous oxide film exists widely under the floating gate. therefore, the field where the oxide film is covered with the floating gate — a wrap configuration is directly [90% or more] desirable at a crystalline substance oxide film.

[0064] On the other hand, it is desirable that the field covered with the gate electrode from a viewpoint of raising carrier mobility about the usual MOS transistor, and moreover maintaining the dependability of gate dielectric film highly while on the front face of a substrate has covered 50% or more directly with the crystalline substance oxide film.

[0065] In addition, although the above-mentioned nonvolatile memory is the stack mold with which the control gate was prepared on the floating gate, the control gate and the floating gate of this invention are effective also to the split mold arranged in the longitudinal direction.

[0066] In each above-mentioned operation gestalt, although field bearing used the silicon substrate of (001), the substrate which has other field bearings may be used. When especially the substrate of Si (111) side is used, it is possible it to form a step / terrace gestalt, even if wet washing by the alkali system solution does not necessarily use the heating defecation technique in an ultra-high vacuum, either since the smooth side of atomic level is acquired comparatively easily.

[0067] [Effect of the Invention] According to the MOS mold hetero structure of this invention, it has the flat field on the atomic level in which the front face of a single crystal silicon substrate was formed of the rearrangement of a silicon atom, and the insulator layer formed on the field contains the crystalline substance diacid-ized silicon which grew epitaxially on the front face of a single crystal silicon substrate. For this reason, MOS mold hetero structure with few crystal defects is realized, without giving stress strong against a silicon substrate on the occasion of formation of an insulator layer. Moreover, since neither the amorphous diacid-ized silicon film nor a suboxidation layer exists in the interface of a single crystal silicon substrate and an insulator layer, the MOS mold hetero structure excellent in pressure-proofing is acquired.

[0068] The MOS mold hetero structure whose dependability improved is offered using ultra-thin gate dielectric film, since the field of most insulator layers will consist of crystalline substance diacid-ized silicon layers when thickness of an insulator layer is set to 2nm or less.

[0069] If a dielectric film is added on crystalline substance diacid-ized silicon, it will become possible to reduce leakage current further.

[0070] According to the semiconductor device of this invention, since it has the above MOS mold hetero structures, high-speed operation is possible and the engine performance which was moreover excellent in pressure-proofing and dependability is demonstrated. When especially this invention is applied to nonvolatile memory, since the oxide film which cannot deteriorate easily due to hot electron impregnation is obtained, it is desirable.

[Translation done.]

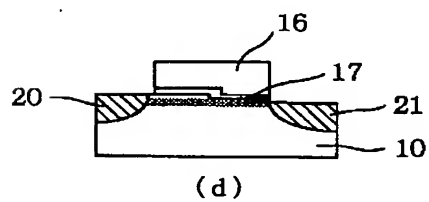
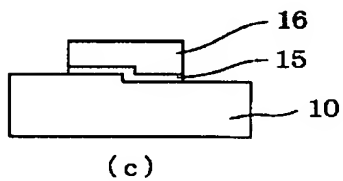
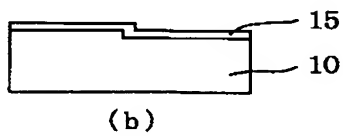
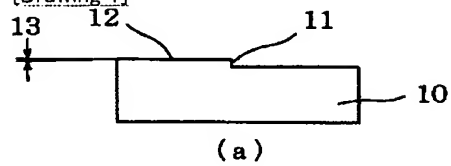
* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

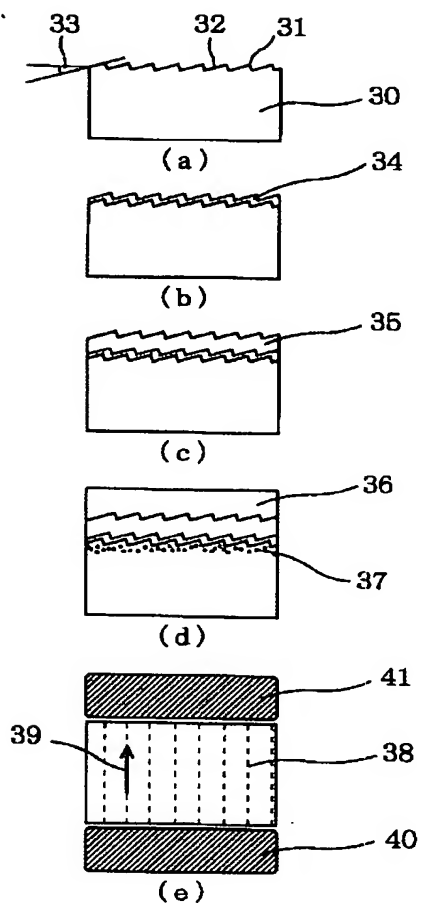
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

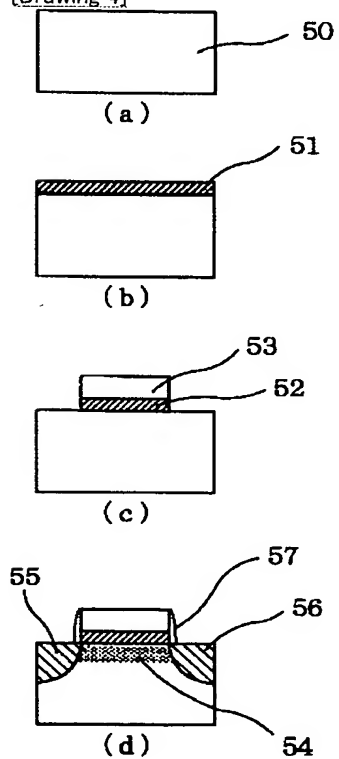
[Drawing 1]



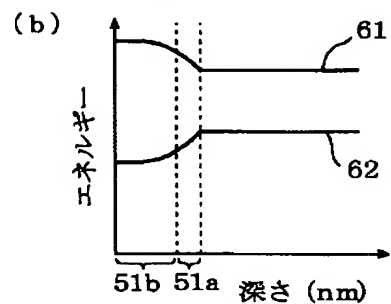
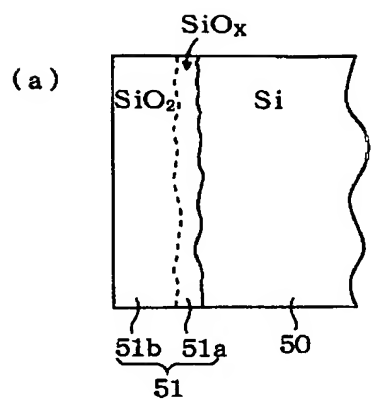
[Drawing 2]



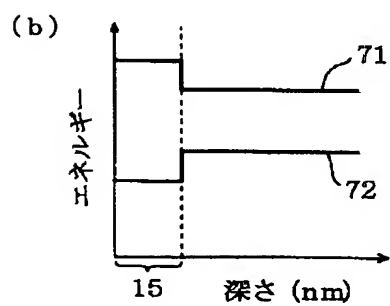
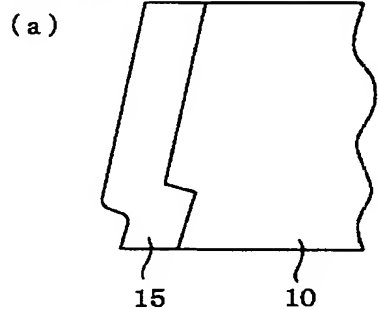
[Drawing 4]



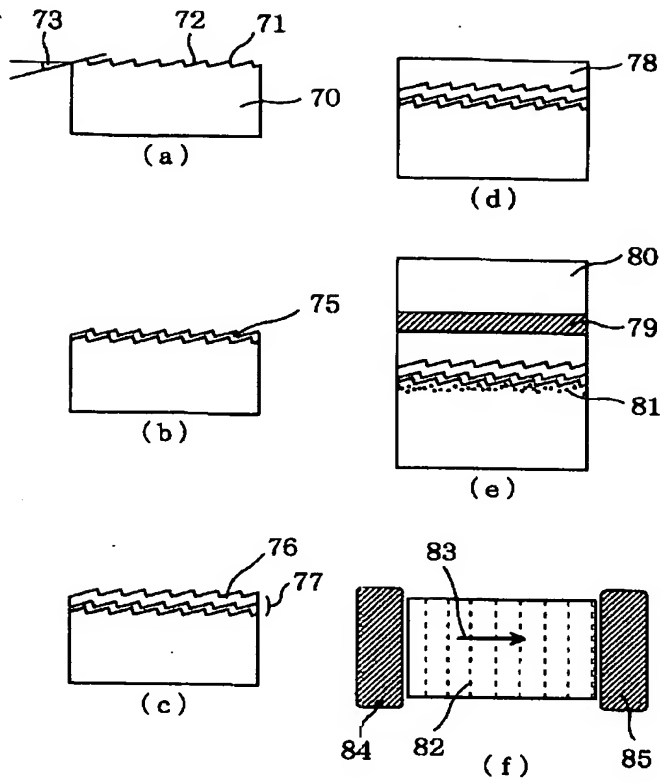
[Drawing 5]



[Drawing 6]



[Drawing 3]



[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216378

(P2000-216378A)

(43) 公開日 平成12年8月4日 (2000. 8. 4)

(51) Int.Cl.⁷

H 0 1 L 29/78
21/8247
29/788
29/792

識別記号

F I

H 0 1 L 29/78

テマコード* (参考)

3 0 1 G 5 F 0 0 1
3 0 1 Q 5 F 0 4 0
3 7 1

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号

特願平11-12697

(22) 出願日

平成11年1月21日 (1999. 1. 21)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 丹羽 正昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

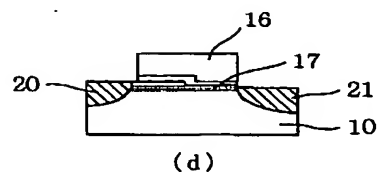
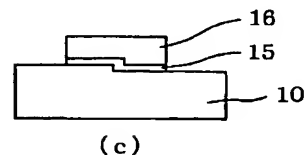
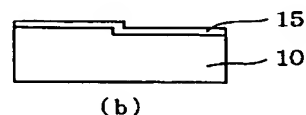
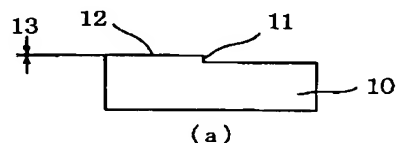
Fターム(参考) 5F001 AA06 AA22 AA25 AA30 AA33
AA62 AB02 AB08 AD12 AE08
AF07 AG22 AG26
5F040 DA01 DA19 DC01 EA08 EC00
EC07 EC19 ED01 ED03 ED06
EE01 EE02 FC00 FC05

(54) 【発明の名称】 MOS型ヘテロ構造および該構造を備えた半導体装置ならびにその製造方法

(57) 【要約】

【課題】 トランジスタの信頼性、応答速度、書き込み/読み出し特性を向上させる。

【解決手段】 表面シリコン原子の再配列によって形成した複数のステップ11およびテラス12を有するミスオリエンテーション基板10を用いて、その基板10のテラス12上にエピタキシャル成長させた極薄の結晶質二酸化シリコン膜15をゲート絶縁膜としてMOS電界効果型トランジスタを構成する。



【特許請求の範囲】

【請求項 1】 単結晶シリコン基板と、前記単結晶シリコン基板の表面に形成された絶縁膜と、前記絶縁膜上に形成された導電部材とを備えた MOS 型ヘテロ構造であって、

前記単結晶シリコン基板の前記表面は、表面シリコン原子の再配列によって形成された原子レベルで平坦な面を有しており、

前記絶縁膜は、前記単結晶シリコン基板の前記表面における前記面上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる MOS 型ヘテロ構造。

【請求項 2】 前記二酸化シリコンは、前記単結晶シリコン基板の前記表面に沿って二次元的に連続した結晶膜を形成している請求項 1 に記載の MOS 型ヘテロ構造。

【請求項 3】 前記結晶質二酸化シリコンは、前記単結晶シリコン基板の前記表面に形成されたテラス上に直接にエピタキシャル成長したものであることを特徴とする請求項 1 または 2 に記載の MOS 型ヘテロ構造。

【請求項 4】 前記結晶膜は、前記単結晶シリコン基板の前記表面のうち前記絶縁膜で覆われている領域の半分以上を覆っている請求項 2 に記載の MOS 型ヘテロ構造。

【請求項 5】 前記絶縁膜の厚さは、2 nm 以下である請求項 2 から 4 の何れかひとつに記載の MOS 型ヘテロ構造。

【請求項 6】 前記絶縁膜は、前記結晶膜上に形成された誘電体膜を更に含んでいる請求項 2 から 4 の何れかひとつに記載の MOS 型ヘテロ構造。

【請求項 7】 前記誘電体膜の誘電率は二酸化シリコンの誘電率よりも高い請求項 6 に記載の MOS 型ヘテロ構造。

【請求項 8】 前記単結晶シリコン基板の前記表面におけるミスオリエンテーション角は、 $0 \sim 20^\circ$ の範囲にある請求項 1 から 7 の何れかひとつに記載の MOS 型ヘテロ構造。

【請求項 9】 請求項 1 から 8 の何れかひとつに記載の MOS 型ヘテロ構造を備えた半導体装置。

【請求項 10】 請求項 1 から 8 の何れかひとつに記載の MOS 型ヘテロ構造を有する不揮発性メモリセルを備えた半導体装置。

【請求項 11】 半導体単結晶シリコン基板に形成された不揮発性メモリを備えた半導体装置であって、前記不揮発性メモリは、前記単結晶シリコン基板の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲートに容量結合された制御ゲートと、を備え、前記単結晶シリコン基板の前記表面は、表面シリコン原子の再配列によって形成された原子レベルで平坦な面を

有しており、

前記ゲート絶縁膜は、前記単結晶シリコン基板の前記表面における前記面上にエピタキシャル成長した結晶質二酸化シリコンを含んでおり、

前記結晶質二酸化シリコンは、前記単結晶シリコン基板の前記表面のうち前記ゲート絶縁膜で覆われている領域の 90% 以上を覆っている半導体装置。

【請求項 12】 単結晶シリコン基板と、前記単結晶シリコン基板の表面に形成された絶縁膜と、前記絶縁膜上に形成された導電部材とを備えた MOS 型ヘテロ構造を有する半導体装置の製造方法であって、

前記単結晶シリコン基板の前記表面のシリコン原子を再配列させ、それによって原子レベルで平坦な表面を形成する工程と、

前記単結晶シリコン基板の前記表面が汚染されない条件で前記単結晶シリコン基板の前記表面を酸化することによって前記基板の前記表面上に直接に結晶質二酸化シリコンをエピタキシャル成長させる工程とを包含する半導体装置の製造方法。

【請求項 13】 前記絶縁膜の厚さが 2 nm 以下の段階で前記酸化を中止することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記結晶質二酸化シリコン膜上に二酸化シリコン膜の誘電率よりも高い誘電率を有する誘電体膜を堆積する工程を包含する請求項 12 または 13 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、MOS 型ヘテロ構造および該構造を備えた半導体装置ならびにその製造方法に関している。

【0002】

【従来の技術】 従来から、電界効果型のトランジスタとして金属-絶縁物-半導体構造（MOS 型ヘテロ構造）を備えた MOS 電界効果型トランジスタが用いられている。以下、図 4（a）から（d）を参照しながら、従来の MOS 電界効果型トランジスタの製造方法およびその動作を説明する。

【0003】 まず、図 4（a）に示す通常の単結晶シリコン半導体基板 50 を用意した後、熱酸化法を用いて図 4（b）に示すようにシリコン基板 50 の表面にシリコン酸化膜 51 を形成する。シリコン酸化膜 51 は主として非晶質（アモルファス）の SiO_2 から形成されている。

【0004】 次に、シリコン酸化膜 51 上に多結晶シリコン膜などの導電性薄膜を堆積した後、リソグラフィおよびエッチング技術を用いて導電性薄膜およびシリコン酸化膜 51 をパターニングすることによって、図 4（c）に示すようにゲート絶縁膜 52 およびゲート電極 53 を含むゲート構造を形成する。

【0005】図4(d)に示すように、側壁酸化膜57をゲート構造側面上に形成した後、不純物ドーピング法によってソース領域55およびドレイン領域56をシリコン基板51中に形成する。ソース領域55とドレイン領域56との間においてゲート電極53の下方にはチャネル54が形成される。

【0006】

【発明が解決しようとする課題】シリコン基板50の表面を熱酸化すると、シリコン基板50の表面に成長するシリコン酸化膜51の体積膨張に伴ってシリコン基板50とシリコン酸化膜51との間の界面（シリコンー熱酸化物界面）に歪みが発生する。この歪みはシリコン基板50中に構造欠陥を誘発し、界面準位の形成原因となる。界面準位はキャリアのトラップサイトとして作用し、ゲート酸化膜52の絶縁破壊やチャネル中のキャリア移動度劣化などを引き起こす。このことは、MOS電界効果型トランジスタ特性にさまざまな悪影響をもたらす、トランジスタの高速動作に大きな支障となる。

【0007】また、シリコンー熱酸化物界面には、図5(a)に示すように不完全な酸化による薄い亜酸化層からなる構造遷移層（厚さ：0.2～0.3nm）51aが形成される。構造遷移層51aは SiO_x （ $x \leq 約1.7$ ）から形成されている。構造遷移層51aの上には通常の非晶質 SiO_2 層（厚さ：数nm）51bが成長している。構造遷移層51aは、 Si と SiO_2 との間の応力緩和作用を担っているが、構造遷移層51a中の結合はチャネル中を走行する電子によって切断されやすく、電子注入によって容易に破壊されるため、構造遷移層51aは電気的に不安定である。ゲート酸化膜52として機能する二酸化シリコン膜51が薄くなるにつれ、二酸化シリコン膜51のうち構造遷移層51aの占める割合が大きくなるため、界面構造に起因するトランジスタ特性の変動・不良は深刻なものとなる。

【0008】図5(b)は、シリコン酸化膜51の表面からシリコン基板50の内部に向かって深さ方向に沿って測定した伝導帯および価電子帯のエネルギーレベルを示している。図5(b)からわかるように、シリコン酸化膜51中における伝導帯のエネルギーレベル61および価電子のエネルギーレベル62は、構造遷移層51aを含むそれよりも広い領域で曲がっている（ベンディング現象）。このエネルギーレベルの曲がりによってシリコン酸化膜51のバンドギャップはシリコンー熱酸化物界面で大きく減少している。このようなシリコン酸化膜51のエネルギーギャップ減少は、シリコン酸化膜51の耐圧および信頼性を低下させる。

【0009】前述のように構造遷移層51aの厚さは0.2～0.3nm程度であるが、シリコン酸化膜51のバンドギャップが減少している部分の厚さは約1nmに達する。また、シリコン酸化膜51の厚さが減少しても構造遷移層51aの厚さは減少しないため、シリコン

酸化膜51の厚さの減少は構造遷移層51aが二酸化シリコン膜51中に占める割合を大きくし、バンドギャップ減少部分の割合も増加させる。構造遷移層51aが二酸化シリコン膜51中に占める割合が大きくなると、シリコン酸化膜51の耐圧が劣化するだけでなく、膜厚の不均一や界面ラフネスの増大による問題も顕著になる。例えばシリコンー熱酸化物界面の凹凸（ラフネス）が大きい場合、または酸化シリコン膜51（すなわちゲート酸化膜52）の厚さが不均一である場合、チャネル54中の電子は界面の凹凸を感じながら走行するので、電子の散乱確率が大きくなる。電界効果型トランジスタの寸法が微細化されるにもなって実効的な垂直電界強度が増加するので、この散乱現象はますます顕著になってくる。このことは電子移動度の低下、すなわち相互コンダクタンスの低下を招くことを意味する。これらが要因となって、極薄ゲート絶縁膜を備えた微細なMOS電界効果型トランジスタ特性の向上が妨げられることになる。

【0010】本発明は上記問題点に鑑みてなされたものであり、その目的とするところは、構造的にも電気的にも安定したMOS型ヘテロ構造、およびこのようなMOS型ヘテロ構造を有する半導体装置ならびにその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明によるMOS型ヘテロ構造は、単結晶シリコン基板と、前記単結晶シリコン基板の表面に形成された絶縁膜と、前記絶縁膜上に形成された導電部材とを備えたMOS型ヘテロ構造であって、前記単結晶シリコン基板の前記表面は、表面シリコン原子の再配列によって形成された原子レベルで平坦な面を有しており、前記絶縁膜は、前記単結晶シリコン基板の前記表面における前記面上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。

【0012】前記二酸化シリコンは、前記単結晶シリコン基板の前記表面に沿って二次元的に連続した結晶膜を形成していることが好ましい。

【0013】前記結晶質二酸化シリコンは、前記単結晶シリコン基板の前記表面に形成されたテラス上に直接にエピタキシャル成長したものであることが好ましい。

【0014】前記結晶膜は、前記単結晶シリコン基板の前記表面のうち前記絶縁膜で覆われている領域の半分以上を覆っていることが好ましい。

【0015】好ましい実施形態において、前記絶縁膜の厚さは2nm以下である。

【0016】好ましい実施形態において、前記絶縁膜は前記結晶膜上に形成された誘電体膜を更に含んでいる。この誘電体膜の誘電率は二酸化シリコンの誘電率よりも高いことが好ましい。

【0017】前記単結晶シリコン基板の前記表面におけるミスオリエンテーション角は、0～20°の範囲にあ

ることが好ましい。

【0018】本発明の半導体装置は、上記MOS型ヘテロ構造の何れかを備えている。

【0019】本発明の他の半導体装置は、上記MOS型ヘテロ構造の何れかを有する不揮発性メモリセルを備えている。

【0020】本発明の更に他の半導体装置は、半導体単結晶シリコン基板に形成された不揮発性メモリを備えた半導体装置であって、前記不揮発性メモリは、前記単結晶シリコン基板の表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲートに容量結合された制御ゲートとを備え、前記単結晶シリコン基板の前記表面は、表面シリコン原子の再配列によって形成された原子レベルで平坦な面を有しており、前記ゲート絶縁膜は、前記単結晶シリコン基板の前記表面における前記面上にエピタキシャル成長した結晶質二酸化シリコンを含んでおり、前記結晶質二酸化シリコンは、前記単結晶シリコン基板の前記表面のうち前記ゲート絶縁膜で覆われている領域の90%以上を覆っている。

【0021】本発明の半導体装置の製造方法は、単結晶シリコン基板と、前記単結晶シリコン基板の表面に形成された絶縁膜と、前記絶縁膜上に形成された導電部材とを備えたMOS型ヘテロ構造を有する半導体装置の製造方法であって、前記単結晶シリコン基板の前記表面のシリコン原子を再配列させ、それによって原子レベルで平坦な表面を形成する工程と、前記単結晶シリコン基板の前記表面が汚染されない条件で前記単結晶シリコン基板の前記表面を酸化することによって前記基板の前記表面上に直接に結晶質二酸化シリコンをエピタキシャル成長させる工程とを包含する。

【0022】前記絶縁膜の厚さが2nm以下の段階で前記酸化を中止してもよい。

【0023】前記結晶質二酸化シリコン膜上に二酸化シリコン膜の誘電率よりも高い誘電率を有する誘電体膜を堆積する工程を包含してもよい。

【0024】

【発明の実施の形態】（実施形態1）以下、MOS型ヘテロ構造を有する半導体装置について本発明の実施形態を説明する。本実施形態にかかる半導体装置は、単結晶シリコン基板を用いて形成したMOS電界効果型トランジスタを有している。この半導体装置は、公知の半導体集積回路と同様に、実際にはトランジスタ以外の回路要素、配線構造および素子分離構造等を含んでいるが、図面では簡単化のためトランジスタのMOS型ヘテロ構造部分のみを示す。

【0025】図1(a)から(d)を参照する。まず、図1(a)に示すように、真空加熱清浄化法やシリコンのホモエピタキシャル成長法によって単結晶シリコン基板10の(001)面上に(001)清浄表面を形成す

る。より詳細には、本実施形態では、ミスオリエンテーション角13が $0 \sim 0.02^\circ$ の単結晶シリコン基板10を用い、この基板10に対して上述の真空中の加熱清浄化法やシリコンのホモエピタキシャル成長法による表面処理を行うと、清浄化されたシリコン基板10の最表面でシリコン原子の再配列現象が進行し、シリコン基板10の表面にステップ11とテラス12とが形成される。

【0026】なお、このような形態の表面を得るには、他の表面清浄化方法として、温水洗浄、過酸化水素水を混入させたバッファードフッ酸処理、過酸化水素水の濃度を増加させた改良SC-1洗浄、希釈フッ酸処理などのウェット処理法を行っても良い。

【0027】このようなステップ11およびテラス12が形成されたシリコン基板10の表面の形態は、 $(Si(001)-2 \times 1)$ と表記される。単位面積におけるステップ10の密度はシリコン基板10のミスオリエンテーション角13が小さくなる程、小さくなる。例えば、本実施形態の場合のようにミスオリエンテーション角が 0.02° 以下の場合、約 $1000^\circ C$ で10~20秒程度の真空加熱清浄化によってステップ12の間隔（テラス幅に相当）は約3nmを下回る大きさとなる。なお、ステップ11は $[11-0]$ 方向に沿って延びている。

【0028】これらのテラス12上には、最表面シリコン原子の2量体（以下、「ダイマー」と称する。）で構成された原子配列（以下、「ダイマー列」と称する。）が形成されている。本実施形態のように基板のミスオリエンテーション角13が小さい場合は、各テラス上では1原子ステップ毎にダイマー列が交互に直角に存在する形態が得られる。

【0029】次に、 $Si(001)-2 \times 1$ 表面形態を有するシリコン基板10を乾燥酸素雰囲気中で急速加熱酸化法によって $850^\circ C$ に加熱する。加熱時間は40~50秒程度である。この結果、シリコン基板10の表面に厚さ1.5nmの酸化膜が成長する。このような熱酸化によれば、図1(b)に示すように、テラス12上に結晶質酸化膜（結晶質二酸化シリコン膜）15がエピタキシャル成長する。エピタキシャル成長した結晶質酸化膜15は、テラス12の表面結晶構造を反映した結晶構造を持つ。

【0030】本実施形態のようにミスオリエンテーション角13が小さい場合、ステップ間隔が広いため、テラス12上に二次元的に広がった膜状の結晶質酸化膜15が形成される。また、ステップ12では、その両側のテラス12上にエピタキシャル成長した結晶質酸化膜15が横方向に成長し、実質的に連結する。なお、シリコン基板10の各ステップ11やテラス12は結晶質酸化膜15が形成された後においても、結晶質酸化膜15形成前のステップ11やテラス12の構造を反映した形態を

示している。

【0031】結晶質酸化膜15の厚さは、エピタキシャル成長時の基板温度や酸素分圧に依存するが、その厚さが約2 nm程度になると結晶質酸化膜15の成長速度は急激に低下する。このため、本実施形態で使用する酸化方法は、厚さ2 nm程度の薄いゲート絶縁膜を再現性良く形成するのに適している。

【0032】通常の熱酸化によれば、酸化シリコン膜の体積膨張($\text{Si} \rightarrow \text{SiO}_2$ で2.2倍の体積膨張がある)のためにシリコン-酸化膜界面の酸化膜側には圧縮応力が発生し、シリコン基板側には引っ張り応力が発生する。これに対して結晶質酸化膜15を形成する場合、シリコン基板10の原子構造に基づいて酸化物のエピタキシャル成長が進行するため、酸化物内の各部の応力がバランスし、シリコン基板10と結晶質酸化膜15との界面近傍においても大きな応力は生じないと考えられる。透過電子顕微鏡の断面観察や電子線回折の結果から、結晶質酸化膜15はトリディマイト構造を有していると考えられる。

【0033】表面が原子レベルで平坦化されていないシリコン基板に対して通常の熱酸化を行った場合、結晶質酸化物が部分的に成長するかもしれないが、大分の領域で非晶質酸化膜が成長し、その結果、下部に複数の結晶質酸化物を含む一枚の非晶質酸化膜が形成される。このため、シリコン/酸化膜界面には、実質的に結晶-非晶質構造が形成され、酸化物の熱膨張による応力の影響が基板に及ぶことになる。シリコン/酸化膜界面近傍において大きな応力が生じると、その応力を緩和するために積層欠陥や双晶が発生する。

【0034】これに対して本実施形態の場合は、シリコン基板10の表面を覆う結晶質酸化膜15の体積膨張は極めて小さく、シリコン/酸化膜界面での結晶格子連続性が保持されるため、応力の発生が著しく低減される。その結果、積層欠陥や双晶の発生が抑制される。また、結晶質酸化膜15が約2 nmの厚さに成長した後もなお酸化処理を続けると、結晶質酸化膜15上に非晶質の酸化膜が成長して行く。この非晶質酸化膜と結晶質酸化膜15との間には遷移領域が存在するが、シリコン基板の表面は結晶質酸化膜15に覆われてまである。

【0035】このような結晶質酸化膜15をゲート絶縁膜として利用すると、ホットエレクトロンによってシリコン酸化膜界面の結合が切られやすいという不都合もなく、熱膨張に伴う界面準位の発生も無くなる。したがって、酸化膜形成後に酸化膜に対して行うアニール処理も不要となる。また、シリコン/酸化膜界面が従来の結晶-非晶質構造ではなく、結晶-結晶構造を有するので、反転層中のキャリアが従来のように不連続界面でのランダムなポテンシャル散乱を受けることも無くなる。

【0036】図6(a)は、本発明によるシリコン-熱酸化物界面の断面を示している。図6(a)からわかる

ように、結晶質酸化膜15とシリコン基板10との間には、亜酸化層からなる構造遷移層は存在しない。また、図6(b)からわかるように、結晶質酸化膜15の伝導帯のエネルギーレベル71および価電子のエネルギーレベル72はフラットであり、エネルギーレベルの曲がりによるバンドギャップの減少もない。また、本発明によれば、膜厚の不均一や界面ラフネスの増大による問題も解消される。

【0037】なお、一般に熱によって非晶質から結晶質に相変化が生じることがあっても、結晶質から非晶質に相変化が生じることには無い。本実施形態のシリコン/酸化膜界面は、結晶-結晶構造を有するため、熱的に安定していると言える。

【0038】次にポリシリコン膜をCVD法で堆積した後、リソグラフィ技術を用いてこのポリシリコン膜をパターンニングすることによって、図1(c)に示すゲート電極16を形成する。次に、不純物ドーピング技術を用いてシリコン基板10にソース20およびドレイン21を形成する。その後、通常のMOSトランジスタの作製工程と同様の工程を行って半導体装置を完成する。

【0039】こうして得られたMOSトランジスタについて、シリコン基板10とゲート電極16との間に所定の電圧を印加すると、シリコン基板10の表面に垂直な電界が形成され、結晶質酸化膜15とシリコン基板10との界面近傍のシリコン側に図1(d)に示すチャネル17が形成される。

【0040】本実施形態では、ミスオリエンテーション角13が小さく、ステップ密度が小さいため、電子はステップに対してどの方向に走行しようとも、チャネル17中のキャリア(電子)の界面散乱は極めて小さくなり、移動度が改善される。そのため、ステップ18がソース領域20からドレイン領域21にまっすぐに延びるようにソース領域20およびドレイン領域21の位置を規定する必要はない。

【0041】なお、反射高速電子回折(RHEED)を用いれば結晶質酸化膜15を観察することができる。より詳細には、酸素暴露中に前記シリコン10の表面に微小角度で電子線を照射し、全反射した反射電子の回折像から酸化膜形成に伴って変化する結晶表面構造のパターンが得られる。酸化処理中の基板表面をRHEEDでその場観察することにより基板表面に生じる構造変化をリアルタイムで把握することができる。

【0042】以上説明したように、本実施形態では、厚さ2 nm程度の結晶質酸化膜15から極薄ゲート絶縁膜を形成し、それによって図6(b)に示すようにバンド構造を有するMOS電界効果型トランジスタを作製する。本実施形態によれば、従来技術の問題が解決され、信頼性の高いトランジスタ特性が実現する。本実施形態は、厚さ2 nm以下の極薄ゲート絶縁膜を有するトランジスタに適用して顕著な効果を発揮しうるものである。

が、厚さ 2 nm を超えるゲート絶縁膜を有するトランジスタに適用してもよい。その場合、ゲート絶縁膜の下部には前述の結晶質酸化膜 15 が存在し、その結晶質酸化膜 15 の上には非晶質の二酸化シリコン層が存在することになる。このような構造を有していても、シリコン/酸化膜界面では、亜酸化層が存在せず、図 6 (b) に示すバンド構造が実現しているため、優れたトランジスタ特性が得られる。

【0043】なお、シリコン基板のチャネル領域の 100% の領域が結晶質酸化膜 15 によって直接的に覆われている必要はない。各テラス上にエピタキシャル成長した複数の結晶質酸化膜 15 が完全に連続した一枚の絶縁膜を構成していない場合でも本発明の効果は十分に得られる。チャネル領域の少なくとも半分以上が結晶質酸化膜 15 によって直接的に覆われていれば、たとえ他の領域上に非晶質酸化膜が成長していたとしても、亜酸化層による問題は軽減され、従来の MOS 型ヘテロ構造に比較して十分に改善された信頼性を得ることが可能になる。

【0044】また、本実施形態で説明した熱酸化法以外の酸化法を用いてもよい。重要な点は、シリコン基板の表面を原子レベルで平坦化しておく点にある。原子レベルで平坦化されたシリコン基板の表面が大気と接触した結果、その表面に薄い自然酸化膜が形成されたとしても、その後の酸化処理によってシリコン基板表面に結晶質酸化膜をエピタキシャル成長させることができる。このことは、後に他の実施形態についてもあてはまる。

【0045】（実施形態 2）図 2 (a) から (e) を参照しながら、本発明の第 2 の実施形態を説明する。

【0046】まず、真空加熱清浄化法やシリコンのホモエピタキシャル成長法によって、単結晶シリコン基板 30 の (001) 面上に (001) 清浄表面を形成する。本実施形態でも、ミスオリエンテーション角 33 が 0° ~ 20° の基板を用いる。本実施形態では、第 1 の実施形態で使用した基板よりもミスオリエンテーション角の大きな基板を用いているが、ミスオリエンテーション角 33 は 0° かそれに高い小さな角度であってよい。

【0047】このようなシリコン基板 30 に対して上述の真空中の加熱清浄化法やシリコンのホモエピタキシャル成長法による表面処理を行うと、第 1 の実施形態について説明したように、シリコン基板 30 の最表面でシリコン原子の再配列現象が進行し、シリコン基板 30 の表面にステップ 31 とテラス 32 とが形成される。テラス 32 は原子レベルで平坦である。

【0048】次に、第 1 の実施形態について説明した方法を用いて Si (001) - 2 × 1 表面を酸化する。本実施形態では、真空中の加熱清浄化処理により得られた Si (001) - 2 × 1 表面形態を有するシリコン基板 30 を電気炉にて 800°C の乾燥酸素ガスに晒す。この際、酸素ガスは精製機にて高純度化し、さらに液体窒素中へ 100% の高純度乾燥酸素ガスを通すことによって

水分を十分に除去してからシリコン基板に供給する。こうして、図 2 (b) に示すように、結晶質酸化膜 34 (厚さ: 1 ~ 2 nm) が各テラス 32 上に成長し、相互に連結して二次元的な膜が得られる。

【0049】次に、本実施形態では、図 2 (c) に示すように、結晶質酸化膜 34 の上にタンタル酸化膜 35 を堆積する。タンタル酸化膜の誘電率はシリコン酸化膜 (SiO₂) の誘電率に比べて約 6 倍高いため、比較的厚いタンタル酸化膜 35 を用いても、その厚さを酸化膜厚さに換算した値は実際のタンタル酸化膜の厚さの 1/6 程度になる。このためタンタル酸化膜 35 の付加は、酸化膜厚さの実質的な増加を抑制しながら、リーク電流の低減に寄与する。本実施形態では非常に薄いゲート酸化膜を採用するため、このようなタンタル酸化膜 35 を設けないと、ゲートリーク電流が増加するおそれがある。

【0050】タンタル酸化膜 35 の堆積は次のようにして行う。すなわち、結晶質酸化膜 34 が形成されたシリコン基板 30 を 410°C に加熱し、定常状態に保つ。そして、Ta (OC₂H₅)₅ と O₂ との混合ガスを用いた CVD 法によって 15 nm の膜厚になるまでタンタル酸化膜 35 を成長させる。その後、不活性ガス中において 800°C で 1 分程度のアニールを行う。

【0051】次に、LPCVD 法を用いてポリシリコン膜を堆積した後、このポリシリコン膜をパターニングして、図 2 (d) に示すゲート電極 36 を形成する。その後、通常の MOS トランジスタの作製工程と同様の工程を行って半導体装置を完成する。

【0052】所定の電界をシリコン基板表面に対して垂直に形成すると、シリコン/酸化膜界面のシリコン側に反転層ができ、図 2 (d) に示すようにチャネル 37 が形成される。

【0053】図 2 (e) は、本発明による MOS トランジスタの平面構成を示している。各ステップ 39 は結晶質酸化膜 34 が形成された後においても、結晶質酸化膜 34 形成前のステップ 31 を反映した形態を示している。

【0054】本実施形態では、図 2 (e) に示されるように、ステップ 31 がソース領域 40 からドレイン領域 41 にまっすぐに延びるようにソース領域 40 およびドレイン領域 41 の位置が規定され、不純物ドーピングが行われる。電子は矢印 39 に沿ってソース領域 40 からドレイン 41 に向かって走行する。この場合、チャネル中のキャリア（電子）はステップ 38 を横切ることなく原子レベルで平滑なテラス内を走行するので、キャリアの界面散乱は極めて小さくなる。

【0055】（実施形態 3）以下、図 3 (a) から (f) を参照しながら、本発明の MOS 型ヘテロ構造を有する不揮発性メモリセルを備えた半導体装置（フラッシュメモリ）について、本発明の実施形態を説明する。

【0056】まず、真空加熱清浄化法やシリコンのホモエピタキシャル成長法によって、単結晶シリコン基板70の(001)面上に(001)清浄表面を形成する。本実施形態では、ミスオリエンテーション角73が5°の基板を用いる。このようなシリコン基板70に対して上述の真空中の加熱清浄化法やシリコンのホモエピタキシャル成長法による表面処理を行うと、第1~2の実施形態について説明したように、シリコン基板70の最表面でシリコン原子の再配列現象が進行し、シリコン基板70の表面にステップ71とテラス72とが形成される。

【0057】次に、乾燥酸素雰囲気中の電気炉内で750℃程度の温度で基板70を加熱することにより、厚さ7nmのトンネル酸化膜(第1のゲート絶縁膜)を形成する。酸化によってテラス72上にその結晶構造を反映して結晶質酸化物がエピタキシャル成長し、やがて図3

(b)に示すように2次元的に連続した結晶質酸化膜75が形成される。結晶質酸化膜75の厚さは基板温度や導入酸素分圧に依存するが、高々1nm程度しか成長しない。本実施形態では、このような結晶質酸化膜75が形成された後も引き続き酸化処理を継続する。そうすることによって、図3(c)に示すように、厚さ7nmのトンネル酸化膜77を形成する。このトンネル酸化膜77は、シリコン基板に接触する部分において厚さ0.7nm程度の結晶質酸化物層75を含み、その上に厚さ6.3nm程度の非晶質酸化層76を含んでいる。すなわち、トンネル酸化膜77は2層構造を有している。

【0058】本実施形態においては、酸化処理条件を一定に維持していても、応力緩和によってトンネル酸化膜77の相が自然に結晶質から非晶質に遷移する。しかしながら、シリコン/酸化膜界面では結晶格子の連続性が保持されるため、シリコン/酸化膜界面では、図6

(b)に示すようなエネルギーバンド構造が実現されている。このエネルギーバンド構造は、結晶質酸化物層75の上に形成した非晶質酸化層76によって大きな影響は受けない。本実施形態の方法によれば、酸化膜の体積膨張による影響は、通常の熱酸化によって酸化膜を形成する場合に比較して低減される。

【0059】このようにシリコン/酸化膜界面が結晶-結晶構造を有しているため、シリコン酸化膜が非晶質部分を含んでいたとしても、フローティングゲートに注入されるホットエレクトロンによってシリコン/酸化膜界面近傍で結合が切れやすいという不都合はなく、また、熱膨張に伴う界面準位の発生も無くなるので、トンネル酸化膜の信頼性を向上させ、その寿命を長くすることができる。

【0060】このようなトンネル酸化膜77を形成した後、ピンホールなどの酸化膜欠陥を除去するために乾燥窒素中にてアニール処理を行う。次に、図3(d)に示すようにトンネル酸化膜77上にフローティングゲート

78を形成する。通常の熱酸化法を用いて、図3(e)に示すように、フローティングゲート78上に酸化膜(第2のゲート絶縁膜)79を形成した後、酸化膜79によって容量結合されるコントロールゲート80を形成する。こうして得られたMOSヘテロ界面の近傍に所定の電界を形成すると、シリコン/酸化膜界面のシリコン側に反転層ができ、チャネル81が形成される。

【0061】図3(f)は、本不揮発性メモリの平面構成を示している。図3(f)には示されていないが、フローティングゲート78とコントロールゲート80とがトランジスタの活性領域において重なるように配置されている。本実施形態では、図3(f)に示されるようにソース領域84とドレイン領域85とをまっすぐに結ぶ直線がステップ82と垂直に交差するようにソース領域84およびドレイン領域85の位置が規定され、不純物ドーピングが行われる。このため、電子は矢印83に沿ってソース領域84からドレイン85に向かって走行する。従って、チャネル81中の電子はステップ82を横切ることになる。このことは、ステップ82の近傍で発生したホットエレクトロンがフローティングゲート78へ注入される効率を増大させるという効果をもたらす。この効果は、基板のミスオリエンテーション角73が大きくなるほど、ステップの高さが大きくなるため顕著となる。

【0062】このように本実施形態によれば、シリコン/酸化膜界面が結晶-結晶構造を有し、不安定な亜酸化層を有していないため、信頼性の高い不揮発性メモリを得ることが可能になり、不揮発性メモリの読み出し/書き込み動作回数を向上させることができる。この効果は、基板のミスオリエンテーション角の大きさには依存しないため、ミスオリエンテーション角が0°であってもよい。また、結晶質酸化物層75の上に非晶質酸化層76を形成しても、シリコン/酸化膜界面は結晶-結晶構造を保持しているため、極薄の結晶質酸化物層75上に非晶質酸化層76を設けた方が、不揮発性メモリのゲート絶縁膜として使用するのに適している。

【0063】なお、本発明を不揮発性メモリに適用した場合の効果は、基板表面のうちフローティングゲートによって覆われている領域の90%以上を結晶質酸化膜が覆っているときに顕著にあらわれると考えられる。これは、シリコン基板の表面が非晶質酸化膜によって直接に覆われている領域がフローティングゲート下に広く存在していると、その部分の寿命で読み出し/書き込み動作回数が決まってしまうからである。従って、酸化膜がフローティングゲートによって覆われている領域の90%以上を結晶質酸化膜で直接に覆う構成が好ましい。

【0064】これに対して、通常のMOS型トランジスタについてキャリア移動度を向上させ、しかもゲート絶縁膜の信頼性を高く維持するという観点からは、基板表面のうちゲート電極によって覆われている領域の50%

以上を結晶質酸化膜で直接に覆っていることが好ましい。

【0065】なお、上記不揮発性メモリは、コントロールゲートがフローティングゲート上に設けられたスタック型であるが、コントロールゲートとフローティングゲートとが横方向に配列したスプリット型に対しても本発明は有効である。

【0066】上記の各実施形態においては、面方位が(001)のシリコン基板を用いていたが、その他の面方位を有する基板を用いても良い。特にSi(111)面の基板を用いた場合、アルカリ系溶液によるウェット洗浄でも原子レベルの平滑面が比較的容易に得られるため、必ずしも超高真空中の加熱清浄化手法を用いなくてもステップ/テラス形態を形成することが可能である。

【0067】

【発明の効果】本発明のMOS型ヘテロ構造によれば、単結晶シリコン基板の表面がシリコン原子の再配列によって形成された原子レベルで平坦な面を有しており、その面上に形成した絶縁膜が単結晶シリコン基板の表面上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。このため、絶縁膜の形成に際して、シリコン基板に強い応力が与えられることなく、結晶欠陥の少ないMOS型ヘテロ構造が実現される。また、単結晶シリコン基板と絶縁膜との界面に非晶質の二酸化シリコン膜や亜酸化層が存在しないため、耐圧に優れたMOS型ヘテロ構造が得られる。

【0068】絶縁膜の厚さを2nm以下にすると、絶縁膜の大部分の領域が結晶質二酸化シリコン層から構成されることになるため、極薄ゲート絶縁膜を用いながら、信頼性の向上したMOS型ヘテロ構造が提供される。

【0069】結晶質二酸化シリコン上に誘電体膜を付加すれば、リーク電流を更に低減することが可能になる。

【0070】本発明の半導体装置によれば、上述のようなMOS型ヘテロ構造を備えているために、高速動作の可能で、しかも耐圧および信頼性に優れた性能が発揮される。特に本発明を不揮発性メモリに適用した場合は、ホットエレクトロン注入によって劣化しにくい酸化膜が得られるため好ましい。

【図面の簡単な説明】

【図1】(a)から(d)は、本発明による半導体装置の製造方法の第1の実施形態を示す工程断面図である。

【図2】(a)から(d)は、本発明による半導体装置の製造方法の第2の実施形態を示す工程断面図であり、(e)はソース/ドレイン領域とチャネル領域との位置関係を示す平面図である。

【図3】(a)から(e)は、本発明による半導体装置の製造方法の第3の実施形態を示す工程断面図であり、(f)はソース/ドレイン領域とチャネル領域との位置関係を示す平面図である。

【図4】(a)から(d)は、MOSトランジスタの従

来の製造方法を説明するための工程断面図である。

【図5】(a)は従来のMOSヘテロ界面を示し、(b)はそのエネルギーバンド構造を示している。

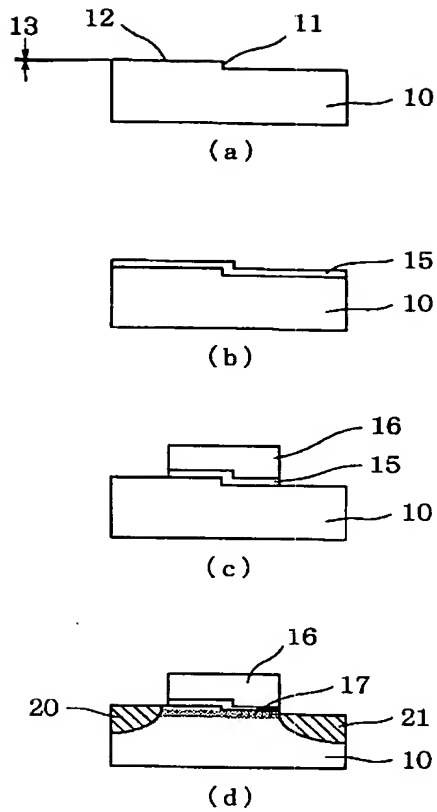
【図6】(a)は本発明によるMOSヘテロ界面を示し、(b)はそのエネルギーバンド構造を示している。

【符号の説明】

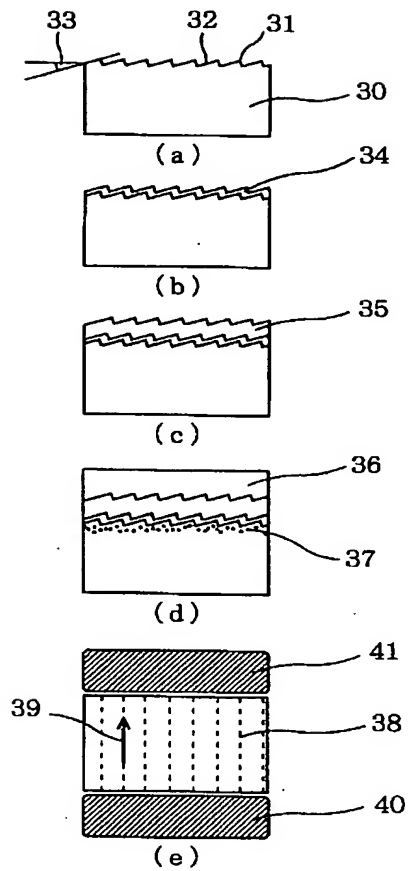
- 10 表面が(001)面であるシリコン基板
- 11 シリコン(001)表面上のステップ
- 12 シリコン(001)表面上のテラス
- 13 ミスオリエンテーション角
- 15 結晶質酸化膜
- 16 ゲートポリシリコン電極
- 17 チャネル
- 18 ステップの位置
- 19 反転層中キャリアの流れる方向
- 20 ソース
- 21 ドレイン
- 30 表面が(001)面であるシリコン基板
- 31 シリコン(001)表面上のステップ
- 32 シリコン(001)表面上のテラス
- 33 ミスオリエンテーション角
- 34 結晶質酸化膜
- 35 タンタル酸化膜
- 36 ゲートポリシリコン電極
- 37 チャネル
- 38 ステップの位置
- 39 反転層中キャリアの流れる方向
- 40 ソース
- 41 ドレイン
- 51 シリコン半導体基板
- 52 ゲート酸化膜
- 53 ゲート電極
- 54 チャネル
- 55 ソース
- 56 ドレイン
- 57 側壁酸化膜
- 70 表面が(001)面であるシリコン基板
- 71 シリコン(001)表面上のステップ
- 72 シリコン(001)表面上のテラス
- 73 ミスオリエンテーション角
- 75 結晶質酸化膜
- 76 非晶質酸化膜
- 77 トンネル酸化膜
- 78 フローティングゲート用ポリシリコン
- 79 ゲート酸化膜
- 80 コントロールゲートポリシリコン電極
- 81 チャネル
- 82 酸化前のステップの位置
- 83 反転層中キャリアの流れる方向
- 84 ソース

85 ドレイン

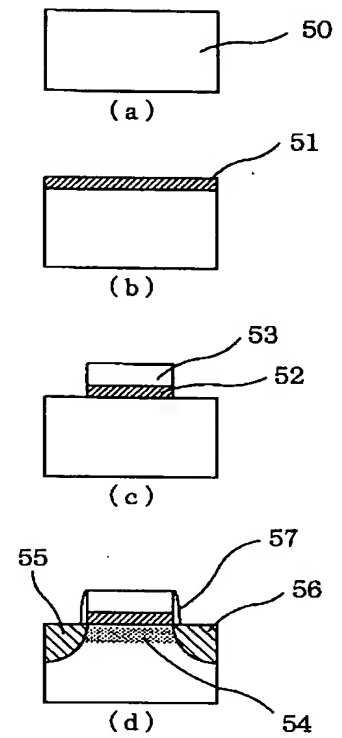
【図1】



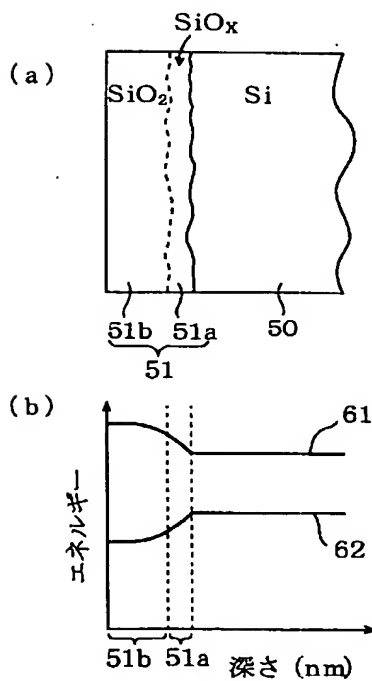
【図2】



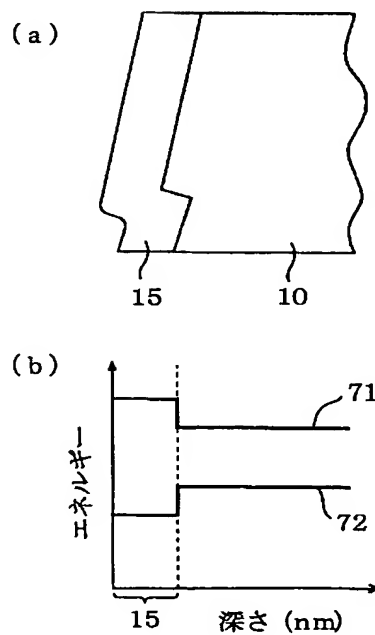
【図4】



【図5】



【図6】



【図 3】

